

(A01)

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication
number:

010056241 A

(43) Date of publication of application:
04.07.2001

(21) Application number: 990057626

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 14.12.1999

(72) Inventor:

KIM, JIN WON
KIM, WAN DON
NAM, GAP JIN
NAM, SANG DON

(51) Int. Cl

H01L 27/108

(54) METHOD FOR FORMING ELECTRODE OF CAPACITOR

(57) Abstract:

PURPOSE: A method for forming an electrode of a capacitor is provided to prevent an underlying insulating layer or the capacitor electrode from being damaged by a wet etch for removing a sacrificial insulating layer used for forming the capacitor electrode.

CONSTITUTION: In the method, a lower insulating layer(200) is formed on a semiconductor substrate (100) and then a support insulating layer(410) is formed thereon. The lower insulating layer(200) surrounds a conductive plug(310) electrically connected to the substrate(100). Next, an etch stop layer (500) including a tantalum oxide layer(510) is formed on the support insulating layer(410), and then the sacrificial layer for mold is formed on the etch stop layer(500). Next, the sacrificial layer, the etch stop layer(500) and the support insulating layer(410) are sequentially patterned to form the mold exposing the conductive plug(310). Next, a storage electrode layer is formed along inner surfaces of the mold and electrically connected to conductive plug(310). The storage electrode layer is then separated to form a storage electrode(650), and the sacrificial insulating layer is removed by a selective etch using the etch stop layer(500).

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19991214)

Final disposal of an application (registration)

Date of final disposal of an application (20010831)

Patent registration number (1003110500000)

특 2001-0056241

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 27/108(11) 공개번호 특 2001-0056241
(43) 공개일자 2001년 07월 04일

(21) 출원번호	10-1999-0057626
(22) 출원일자	1999년 12월 14일
(71) 출원인	삼성전자 주식회사 윤증용 경기 수원시 팔달구 매탄3동 416
(72) 발명자	김진원 서울특별시 서초구 서초동 1334번지 신동아마파트 7동 1113호 남상돈 서울특별시 강남구 도곡동 951-18번지 304호 김완돈 경기도 수원시 장안구 을전동 삼호진덕아파트 203동 1103호 남갑진 경기도 용인시 기흥읍 농서리 산24번지 (74) 대리인
	이영필, 정상빈, 박덕영

설사첨부 : 있음

(54) 커파시터의 전극 제조 방법

요약

반도체 장치에 사용되는 커파시터 전극 제조 방법을 개시한다. 본 발명의 일 관성을, 반도체 기판 상에 지지용 절연막, 산화 탄탈륨막을 포함하는 식각 종료막 및 몰드(mold)용 희생 절연막을 순차적으로 형성한다. 몰드용 희생 절연막, 식각 종료막 및 지지용 절연막을 순차적으로 패턴링하며, 스토리지 전극이 3 차원적인 형상을 가지도록 유도하는 몰드를 형성한다. 몰드 상에 몰드의 내측면을 덮는 스토리지 전극막을 형성한 후, 커파시터별로 스토리지 전극을 분리한다. 잔류하는 몰드용 희생 절연막을 산화 탄탈륨막을 식각 종료점으로 선택적으로 습식 식각하여 제거한다.

도표도

도8

증세서

도면의 간단한 설명

도 1 내지 6은 본 발명의 제1실시예에 의한 커파시터의 전극 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 7 내지 9는 본 발명의 실시예에 의한 커파시터의 전극 제조 방법에 따른 효과를 설명하기 위해서 제시한 주사 전자 현미경 사진들이다.

도 10 및 도 11은 본 발명의 제2실시예에 의한 커파시터의 전극 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 12는 본 발명의 제3실시예에 의한 커파시터의 전극 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

100: 반도체 기판,	200: 하부 절연막,
310: 도전성 플러그,	330: 확산 장벽막,
410: 지지용 절연막,	450: 몰드용 희생 절연막,
500: 식각 종료막,	510: 산화 탄탈륨막,
550: 건식 식각용 보조 식각 종료막,	
650: 실린더 형상의 스토리지 전극,	
700: 분리용 희생 절연막,	750: 유전막,
850: 스택 형상의 스토리지 전극.	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히 절연막을 이용하여 3차원 형상의 커패시터 전극을 제조하는 방법에 관한 것이다.

반도체 장치가 고질적화됨에 따라 커패시터가 차지하는 면적이 줄어드는 반면에 커패시터에 요구되는 정전 용량은 증대되고 있다. 이에 따라, DRAM(Dynamic Random Access Memory) 장치와 같은 반도체 장치에 채용되는 스토리지 전극(storage node)의 유전막에 대한 유효 표면적을 확장시키는 방안이 제시되고 있다.

스토리지 전극의 유효 표면적을 확장시키는 방안은 미합중국 특허 제5,162,248호('Optimized contained stacked capacitor DRAM cell utilizing sacrificial oxide deposition and chemical mechanical polishing', Charles H. Dennison et al.)에서와 같이 스토리지 전극의 형상을 3차원적인 형상으로 유도하기 위해서 희생 산화막을 도입하는 방안이 일반적이다.

그러나, 반도체 장치가 보다 고집적화되며, 커패시터의 유전막으로 오산화 이탄탈륨(Ta_2O_5) 또는 BST((Ba,Sr)TiO₃) 등과 같은 고유전율의 물질을 사용하는 방안에 제시되고 있다. 이러한 고유전율 물질을 유전막으로 이용할 경우, 커패시터의 전극으로 도전성 플리 실리콘(poly silicon) 대신에 질화 티타늄(TiN)막과 같은 금속막으로 이루어지는 전극이 요구되고 있다. 즉, 커패시터의 구조로 MIM(Metal-Insulator-Metal) 구조를 사용하는 방안이 유망하게 제시되고 있다.

이와 같이 금속 전극을 이용할 경우, 상기한 바와 같이 희생 산화막을 도입하여 스토리지 전극을, 실린더(cylinder) 또는 콘테이너(container) 형상, 또는 스택(stack) 형상 등의 3차원적인 구조로 형성하기가 어려워진다.

예를 들어, 상기한 바와 같이 3차원 형상의 스토리지 전극을 형성하기 위해서 도입되는 희생 산화막은, 스토리지 전극의 형상을 3차원적인 형상으로 유도하기 위한 몰드(mold)로 사용된다. 이때, 스토리지 전극을 분리하기 위해서 별도의 희생 산화막이 추가로 도입될 수도 있다. 이러한 희생 산화막은, 스토리지 전극의 유효 표면을 최대한 얻기 위해서, 후속 공정에서 제거되는 것이 바람직하다.

희생 산화막을 제거하는 공정은 통상적으로 습식 식각 공정으로 수행된다. 이러한 습식 식각 공정을 제어하기 위해서는 희생 산화막의 하부에 식각 종료막을 도입하는 것이 필수적이다. 이러한 식각 종료막으로 질화 실리콘막이 도입되고 있다. 이러한 질화 실리콘막은 식각 종료막으로 도입할 경우에 상기한 희생 산화막을 제거하는 습식 식각 공정에 의해서 식각 종료막 하부에 도입되는 하부 절연막이 손상되는 불량이 발생할 수 있다.

즉, 습식 식각 공정에 이용되는 식각액이, 질화 실리콘막과 스토리지 전극의 계면을 따라 하부의 절연막으로 침습하여 하부의 절연막을 녹여 낼 수 있다. 이러한 현상은 질화 실리콘막과 금속 전극간의 낮은 접착 특성에 크게 기인한다.

상기한 식각 종료막 하부의 절연막은 스토리지 전극을 지지하는 역할을 하므로, 상기한 바와 같이 하부의 절연막이 녹는 현상에 의해서 스토리지 전극이 쓰러지거나 기울어지는 전극 불량이 발생할 수 있다. 따라서, 금속 전극을 커패시터의 전극으로 이용하기 위해서는, 상기한 바와 같은 식각 종료막 하부의 절연막이 식각액에 의해서 침식되는 것을 방지할 수 있는 새로운 식각 종료막을 도입하는 것이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 희생 절연막을 도입하여 3차원 형상의 커패시터 전극을 형성할 때, 잔류하는 희생 절연막을 제거하는 습식 식각 공정에 의해서 하부의 절연막이 녹거나 형성된 전극이 쓰러지거나 할릴되는 것을 방지할 수 있는 새로운 식각 종료막을 도입하는 커패시터의 전극 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 반도체 기판 상에 상기 반도체 기판에 전기적으로 연결되는 도전성 플러그를 에워싸는 하부 절연막을 형성한다. 이후에, 상기 하부 절연막 상에 지지용 절연막을 형성한다. 상기 지지용 절연막 상에 산화 탄탈륨막을 포함하여 이루어지는 식각 종료막을 형성한다. 상기 식각 종료막 상에 몰드용 희생 절연막을 형성한다.

상기 몰드용 희생 절연막, 상기 식각 종료막 및 상기 지지용 절연막을 순차적으로 패터닝하여 상기 도전성 플러그를 노출하는 몰드를 형성한다. 상기 몰드를 형성하는 패터닝 공정은 건식 식각 방법으로 수행되며, 이러한 건식 식각의 식각 종료막 제거하기 위한 보조 식각 종료막을 상기한 산화 탄탈륨막 상부 또는 하부에 더 형성할 수 있다. 상기 보조 식각 종료막으로는 산화 알루미늄막 또는 질화 탄탈륨막을 도입할 수 있다.

상기 몰드용 희생 절연막 상에 상기 몰드의 내측면을 덮어 상기 도전성 플러그에 전기적으로 연결되는 스토리지 전극막을 형성한다. 상기 스토리지 전극막을 분리하여 스토리지 전극을 형성한다. 분리된 상기 스토리지 전극에 의해서 노출되는 잔류하는 상기 몰드용 희생 절연막을 상기 식각 종료막을 식각 종료점으로 선택적으로 식각하여 제거한다.

제시되는 식각 종류의 3차원 형상은 커스터마이징을 통해 다양한 형태로 활용할 수 있다.

점으로도 작용할 수 있다. 물론 말미하, 구체적인 실시예를 묘사하는 도면들을 참조하여 본 발명의 실시예들을 상세하게 설명하지만, 본 발명은 미 이에 한정되지 않으며 희생 절연막을 도입하는 여러 가지의 3차원 형상을 가지는 커패시터 전극 중에 적용될 수 있다.

도 1 내지 도 6은 본 발명의 제1실시예에 의한 커패시터의 전극 제조 방법을 개략적으로 나타낸다.
도 1은 반도체 기판(100) 상에 식각 증료막(500) 및 블드용 회생 절연막(450)을 형성하는 단계를 개략적
으로 나타낸다.

구체적으로, 반도체 기판(100) 상에 통상의 베리드 콘택(buried contact) 공정을 이용하여 스토리지 전극에 연결될 도전성 플러그(mesa; 310)를 형성한다. 이때, 도전성 플러그(310)는, 하부에 전기적으로 연결될 반도체 기판(100) 상에 형성된 게이트(gate) 등과 같은 다른 도전성을 철연막(200)에 의해서 위로 쌓여 반도체 기판(100)의 활성 영역에 전기적으로 연결된다. 즉, 베리드 콘택(도시되지 않음)과 접연되며, 반도체 기판(100)의 활성 영역에 전기적으로 연결될 수 있으나, 도전성 플러그(310)의 뼈으로 작용한다. 하부 철연막(200)은 필요에 따라 다른 두께로 형성될 수 있다.

두께에 따라 대략 4000 Å 대시 5000 Å 깊이까지 확산되는 확산 장벽막(diffusion barrier layer; 330)을 더 도전성 플러그(310)는 여러 가지 도전성 물질로 형성될 수 있다. 예를 들어, 도전성 플리 실리콘으로 형성할 수 있으며, 도전성 플러그(310)의 상층을 더는 확산 장벽막(diffusion barrier layer; 330)을 더 포함할 수 있다. 이때, 확산 장벽막(330)은 오믹 접촉(ohmic contact)을 위한 오믹막을 더 포함할 수 있다.

입을 수 있다. 아래, 그림 10-1은 반도체 가판(100) 상에 지지를 미와 같이 여러 패턴들이 형성되어 토플로지(topology)가 있는 반도체 가판(100) 상에 지지를 형성하는 과정이다. 지지용 절연막(410)은, 3차원적인 형상으로 이루어질 스토리지 전극이 쓰러지거나 절연막(410)을 형성한다. 지지용 절연막(410)은, 3차원적인 형상으로 이루어질 스토리지 전극이 쓰러지거나 절연막(410)을 형성한다. 따라서, 일반적으로 반도체 장치를 제조하는 대 사용이나 무너지지 않게 잡아 지지하는 역할을하게 된다. 따라서, 일반적으로 반도체 장치를 제조하는 대 사용되는 절연 물질로 형성될 수 있다. 예를 들어, 산화 실리콘(SiO₂)막을 하부 절연막(200) 상에 도전성을 되는 절연 물질로 형성될 수 있다. 또한, 지지용 절연막(410)은 스토리지 전극(310) 등을 덮도록 증착하여 지지용 절연막(410)을 형성한다. 또한 지지용 절연막(410)은 스토리지 전극(310) 등을 덮도록 증착하여 지지용 절연막(410)을 형성한다. 예를 들어, 대략 2000 Å 내지 3000 Å 정도의 두께를 지지할 최소한의 두께 이상으로 형성되어야 한다. 예를 들어, 대략 2000 Å 내지 3000 Å 정도의 두께를 지지할 최소한의 두께 이상으로 형성될 수 있다.

제로 양성을 수 있다. 본 발명의 이후에, 지지용 절연막(410) 상에 후속 식각 공정에서 사용될 식각 증료막(500)을 형성한다. 본 발명의 실시예에서는 상기한 식각 증료막(500)이 산화 탄탈륨막(510)을 포함하도록 형성한다. 예를 들어, 상기한 지지용 절연막(410) 상에 스퍼터링(sputtering)법 또는 CVD(Chemical Vapour Deposition)법 등을 이용하여 오산화 미탄탈륨(Ta_2O_5)으로 이루어지는 산화 탄탈륨막(510)을 형성한다. 이러한 산화 탄탈륨막(510)은 식각 증료 역할을 발휘할 수 있는 최소한의 두께 이상으로 형성되는 것이 바람직하다. 예를 들어, 대략 10Å 내지 90Å 정도의 두께로 형성될 수 있으나, 후속의 식각 공정에 따라 그 두께를 달리할 수 있다.

나. 필요에 따라 산화 탄탈륨막(510) 상에 별도의 보조 식각 증료막(550)을 더 형성할 수 있다. 보조 식각 증료막(550)은 산화 탄탈륨막(510)의 상측 또는 아래에 형성될 수 있으며, 후속의 건식 식각 공정시 건식 식각 공정을 제어하는 건식 식각용 식각 증료막으로 작용할 수 있다. 이러한 보조 식각 증료막(550)으로는 질화 실리콘막 또는 산화 알루미늄(Al₂O₃)막을 이용할 수 있다. 이러한 질화 실리콘막 또는 산화 알루미늄(Al₂O₃)막은 스핀터링법 또는 CVD법으로 형성될 수 있다.

마늄막은 스퍼터링법 또는 CVD법으로 얻을 수 있다. 이러한 식각 증료막(500㎚)상에 볼드용 회생 절연막(450㎚)을 형성한다. 볼드용 회생 절연막(450㎚)은, 후속에 패터닝되어 스토리지 전극을 3차원적인 형상을 가지도록 유도하는 볼드를 구성하는 역할을 한다. 또한, 볼드용 회생 절연막(450㎚)의 두께는 필요에 따라 달리 설정할 수 있으나, 스토리지 전극의 높이를 고려하여 볼드용 회생 절연막(450㎚)의 두께는 필요에 따라 달리 설정할 수 있으나, 스토리지 전극의 높이를 고려하여 그 두께를 설정하는 것이 바람직하다. 예를 들어, 산화 실리콘막을 대략 1000A 내지 12000A 정도의 두께로 형성하여 볼드용 회생 절연막(450㎚)으로 미용할 수 있다.

드에는 드론설 플러그(310)를 노출하는 블록(410, 500, 450)을 형성하는 단계를 개략적으로 나타낸다.

도 2는 도전성 퀼러그(310)를 노출하는 그림(410, 430, 450)이다. 그림(410, 430, 450)은 물드용 회생 절연막(450)을 페터닝한다. 물드용 회생 구체적으로, 선택적인 건식 식각 방법을 사용하여 물드용 회생 절연막(450)을 페터닝한다. 물드용 회생 절연막(450) 상에 사진 공정을 이용하여 포토레지스토 패턴 등과 같은 식각 마스크(도시되지 않음)를 형성한 후, 물드용 회생 절연막(450)으로 미용된 산화 실리콘을 식각하는 데 적절한 식각 가스를 사용하여 물드용 회생 절연막(450)을 식각한다. 예를 들어, CF₄ 가스 등과 같은 불화물계 가스에 산소 가스를 노출하는 물드용 회생 절연막(450)을 식각하는 경우, 물드용 회생 절연막(450)을 구조화하는 산화 실리콘을 상기한 식각 가스로 이용한다.

스 및 마르곤(Ar)을 추가하여 상기한 식각 가스로 이용된다. 즉, 식각
상기한 바와 같은 건식 식각은 식각 증료막(500)에 의해서 식각 증료가 제어될 수 있다. 즉, 식각
증료막(500)에 포함된 산화 탄탈륨막(510)은, 상기한 물드뮴 희생 절연막(450)에 대해서 건식 식각 선택
제를 가질 수 있어, 건식 식각 증료의 역할을 할 수 있다. 예를 들어, C_6F_6 가스, 산소 가스 및
비를 가질 수 있어,

마르곤(Ar)을 포함하는 식각 가스를 사용할 경우, 다른 식각 조건에 따라 변화될 수 있지만 산화 실리콘은 대략 2:1정도의 식각 선택비를 나타낸다. 따라서, 산화 실리콘으로 이루어진 구조에서 오산화 이탄탈륨은 대략 450°C에서 희생 절연막(450)을 건식 식각할 때, 그 종료점으로 상기한 산화 탄탈륨막(510)을 이용할 수 있다.

그러나, 건식 식각의 종류를 보다 확실하게 제어하기 위해서는, 앞서 설명한 바와 같이 산화 타입률(50%)의 상부에 보조 식각 종로막(550)은 상기 타입률(50%)을 도입할 수 있다. 보조 식각 종로막(550)은 장기 고온으로부터 보호되는 물질로 혼합되는 것이 바람직하다.

단클립(550)과 철연막(450)에 대해서 건식 식각 선택비를 가시는 풀결로 영향되는 것이 아닙니다.
한 물드용 회생 철연막(450)에 대해서 건식 식각 선택비를 사용할 경우, 다른 식각
상기한 바와 같은 Cf_f 가스, 산소 가스 및 마르곤(Ar)을 포함하는 식각 가스를 사용할 경우, 다른 식각
조건에 따라 변화될 수 있지만 산화 실리콘에 대해서 질화 실리콘은 대략 10:1정도의 식각 선택비를 나타
낼 수 있다. 또한, 산화 실리콘에 대해서 산화 알루미늄은 대략 5:1 정도의 식각 선택비를 나타낼 수 있
다. 따라서, 상기한 보조 식각 중료막(550)으로 산화 알루미늄막 또는 질화 실리콘막을 도입함으로써, 상
기한 건식 식각의 종류를 보다 정교하게 제어할 수 있다.

기한 건식 식각의 흥료를 보너 상교하기 위해, 건식 식각은 상기한 비마 같이 산화 탄탈륨막(510) 또는 보조 식각 증료막(550)에 의해서 식각 증료 건식 식각 공정은 상기한 비마 같이 산화 탄탈륨막(510) 또는 보조 식각 증료막(550)에 의해서 식각 증료 건식 식각 공정은 상기한 비마 같이 산화 탄탈륨막(510) 또는 보조 식각 증료막(550)에 의해서 식각 증료 건식 식각 공정은 상기한 비마 같이 산화 탄탈륨막(510) 또는 보조 식각 증료막(550)에 의해서 식각 증료 건식 식각 공정은 상기한 비마 같이 산화 탄탈륨막(510) 또는 보조 식각 증료막(550)에 의해서 식각 증료

플러그(310), 실질적으로는 확산 성벽극(330)이 그 결과로 나온다. 미와 같은 패터닝 공정에 의해서, 롤드용 회생 절연막(450), 식각 종료막(500) 및 지지층 절연막(410)이 미와 같은 패터닝되어 스토리지 전극을 3차원적인 형상으로 유도하기 위한 롤드(410, 500, 450)가 형성된다.

한편, 도 1 및 도 2에서는 상기한 바와 같이 보조 식각 증료막(550)이 산화 탄탈륨막(510) 상부에 형성되어 경계를 예시하였으나, 공정의 필요에 따라, 보조 식각 증료막(550)이 산화 탄탈륨막(510)의 아래에 도입될 수 있다. 또한, 보조 식각 증료막(550)과 산화 탄탈륨막(510)이 상호 미적되게 도입될 수 있다.

부의 도전성 플리그(310)와 전기적으로 단련되고 있는 것이다.
 이러한 스토리지 전극막(600)은 커패시터의 정전 용량의 증대를 구현하기 위해서, 금속막을 포함하도록 형성되는 것이 바람직하다. 예를 들어, 질화 티타늄(TiN)막, 질화 알루미늄 티타늄(TiAlN)막, 질화 탄탈 텐(TaN)막 또는 질화 텐스텐(WN)막 등과 같은 질화 금속막으로 스토리지 전극막(600)을 형성할 수 있다. 또는 플레이티늄(Pt)막, 루테늄(Ru)막 또는 아리듐(IR)막 등과 같은 플레이티늄계 금속막으로 스토리지 전극 또는 풀레이티늄(Pt)막, 루테늄(Ru)막 또는 아리듐(IR)막 등과 같은 플레이티늄계 금속막으로 스토리지 전극(600)을 형성할 수 있다. 또는, 산화 루테늄(RuO_2)막 또는 산화 스트론튬 루테늄($SrRuO_3$)막 등과 같은 막(600)을 형성할 수 있다. 그리고, 기존에 상용되는 도전성 폴리 실리콘막으로도 상기한 스토리지 전극막(600)을 형성할 수 있다.

의 내측면을 따라 증착된 스토리지 전극막(600) 두루미어 진류하여 배수하는 데, 6은 잔류하는 물드용 희생 절연막(450) 및 분리용 희생 절연막(700)을 제거하는 단계를 개략적으로 나 태낸다.

구체적으로, 평탄화 공정으로 스토리지 전극(650)을 형성한 후, 잔류하는 물드용 희생 절연막(450)을 희생 물드용 희생 절연막(700)을 선택적으로 제거한다. 스토리지 전극(650)은 잔류하여야 하므로, 물드용 희생 절연막(700)을 선택적으로 제거한다. 습식 식각 방법에서 사용되는 식각액을 사용할 수 있다. 예를 들어, 물드용 희생 절연막(450) 및 분리용 희생 절연막(700)을 선택적으로 사용되는 식각액을 사용하는 경우, 물드용 희생 절연막(700)을 포함하는 식각액을 사용하여 물드용 희생 절연막(450) 및 분리용 희생 절연막(700)을 선택적으로 습식 식각할 수 있다.

Microscope) 사진들에 의해서 입증된다.

도 7 및 도 8은 질화 실리콘막을 습식 식각의 식각 종료로 이용한 경우에 발생하는 문제점을 개략적으로 나타낸다.

구체적으로, 상기한 바와 같이 롤드용 희생 절연막 또는 분리용 희생 절연막을 제거하는 습식 식각 공정의 식각 종료를 위해서 통상의 질화 실리콘막을 도입할 경우, 습식 식각에 사용되는 식각액에 의해서 하부의 지지용 절연막 또는 하부 절연막이 녹는 현상이 발생할 수 있다. 즉, 도 7의 A에 도시된 바와 같이 지지용 절연막에 식각액이 침습하여 지지용 절연막이 녹는 현상이 발견될 수 있다. 이와 같은 현상이 심화되면, 도 8의 B에 도시된 바와 같이 스토리지 전극이 쓰러지거나 힘줄하는 불량으로 발전할 수 있다.

이러한 현상은 통상의 질화 실리콘막을 도입할 경우, 질화 실리콘막과 스토리지 전극간의 계면 특성이 상대적으로 열악하여 이러한 계면을 통해서 식각액이 하부로 스며들 수 있다는 점을 시사한다.

도 9는 본 발명의 실시예에 따른 산화 탄탈륨막을 습식 식각의 식각 종료로 이용한 경우에 대한 결과물을 개략적으로 나타낸다.

구체적으로, 본 발명의 실시예에 따라 산화 탄탈륨막을 습식 식각의 식각 종료막에 이용한 경우, 도 9에 도시된 바와 같이 하부의 지지용 절연막 또는 하부 절연막에 대한 식각액의 침해 현상이 발생하지 않았다. 이러한 결과는 본 발명의 실시예에 따른 산화 탄탈륨막이, 하부의 지지용 절연막 또는 하부 절연막으로 식각액이 스며들거나 또는 침습하는 것을 방지할 수 있음을 입증한다.

도 6을 다시 참조하면, 도시된 바와 같이 하부의 지지용 절연막(410) 또는 하부 절연막(200)이 식각액에 의해서 침해되는 것을 억제하며, 습식 식각으로 잔류하는 롤드용 희생 절연막(450) 및 분리용 희생 절연막(700)을 제거하여 슬린더 형상의 스토리지 전극(650)을 완성할 수 있다.

이후에, 스토리지 전극(650) 상에 통상의 커파시터 제조 공정을 이용하여, 유전막(도시되지 않음)을 형성한 후 플레이트 전극(도시되지 않음)을 형성하여 반도체 장치의 커파시터를 완성할 수 있다.

도 10 및 도 11은 본 발명의 제2실시예에 의한 커파시터의 전극 제조 방법을 개략적으로 나타낸다.

본 발명의 제2실시예에서는 제1실시예에서와 달리, 희생 절연막을 도입하는 커파시터 전극 제조 방법에 의해서 스택(stack) 형상의 스토리지 전극을 형성하는 경우에 대해서 설명한다. 이러한 제2실시예로부터, 본 발명이 제1실시예에서 설명한 바와 같이 실린더 형상의 스토리지 전극을 제조하는 데 이용될 수 있을 뿐만 아니라 스택 형상과 같은 다른 형태의 3차원 형상의 스토리지 전극 제조에도 이용될 수 있음을 제시한다. 제2실시예에서 제1실시예에서와 동일한 참조 부호는 동일한 부재를 의미한다.

먼저, 도 1 및 도 2를 참조하여 설명한 바와 같이 롤드용 희생 절연막(450), 식각 종료막(500) 및 지지용 절연막(410)을 순차적으로 패터닝하여 롤드(450, 500, 410)를 형성한다.

도 10은 롤드(450, 500, 410)의 오목한 부분을 메우는 스토리지 전극막(800)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 형성된 롤드(450, 500, 410)의 오목한 부분, 즉, 하부의 도전성 플러그(310), 실질적으로는 확산 장벽막(330)을 노출하는 개구(opening) 부분을 메우는 스토리지 전극막(800)을 롤드용 희생 절연막(450) 상에 형성한다. 이러한 스토리지 전극막(800)은 제1실시예에서 설명한 바와 같이 스토리지 전극막(도 3의 600)과 실질적으로 동일한 방법으로 형성될 수 있다. 단지, 제2실시예에서의 스토리지 전극막(800)은 상기한 개구 부분을 완전히 메우도록 형성된다.

도 11은 스토리지 전극(850)이 분리되어 완성되는 단계를 개략적으로 나타낸다.

구체적으로, 스토리지 전극막(800)의 전면을 화학적 기계적 연마 또는 에치 백하여 하부의 롤드용 희생 절연막(450)이 노출되도록 평탄화하여 스토리지 전극(850)을 분리한다. 이후에, 도 6에 도시된 바와 같이 잔류하는 롤드용 희생 절연막(450)을 습식 식각 방법으로 제거한다. 이때, 도 6을 참조하여 설명한 바와 같이 산화 탄탈륨막(510)으로 습식 식각 종료를 겸출함으로써, 하부의 지지용 절연막(410)이 식각액에 의해서 녹는 현상을 방지할 수 있다.

이와 같이 하여 커파시터별로 분리된 스택 형상의 스토리지 전극(850)을 완성할 수 있다. 이후에, 유전막 및 플레이트 전극을 형성하여 커파시터를 완성할 수 있다.

도 12는 본 발명의 제3실시예에 의한 커파시터의 전극 제조 방법을 개략적으로 나타낸다.

본 발명의 제3실시예에서는 제1실시예에서와 달리, 분리용 희생 절연막을 형성하는 대신, 별도의 유전막을 이용하여 실린더 형태의 스토리지 전극을 분리하는 경우에 대해서 설명한다. 제3실시예에서 제1실시예에서와 동일한 참조 부호는 동일한 부재를 의미한다.

먼저, 도 1 내지 도 3에서 설명한 바와 같이 스토리지 전극막(도 3의 600)을 형성한다. 이후에, 스토리지 전극막의 오목한 부분을 메우는 유전막(750)을 형성한다. 즉, 도 4에서는 스토리지 전극막(도 4의 600) 상에 오목한 부분을 메우는 분리용 희생 절연막(700)을 도입하는 경우를 설명하였으나, 도 12에 도시된 바와 같이 제3실시예에서는 유전막(750)이 이러한 오목한 부분을 메울 수 있다. 이후에, 유전막(750) 상을 화학적 기계적 연마 또는 에치 백을 이용하여 평탄화함으로써, 스토리지 전극(650)을 단위 커파시터별로 분리한다.

다음에, 도 6을 참조하여 설명한 바와 같이 잔류하는 롤드용 희생 절연막(450)을 습식 식각 방법으로 제거한다. 이때, 도 6을 참조하여 설명한 바와 같이 산화 탄탈륨막(510)으로 습식 식각 종료를 겸출함으로써, 하부의 지지용 절연막(410)이 식각액에 의해서 녹는 현상을 방지할 수 있다. 이와 같이 하여 커파시터별로 분리된 형상의 스토리지 전극(650)을 완성할 수 있다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능할지 명백하

다.

설명의 표지

상술한 본 발명에 따르면, 롤드용 희생 절연막 또는 분리용 희생 절연막 등과 같이 커패시터 전극이 3차원 형상을 가지도록 유도하기 위해서 도입되는 희생 절연막을 제거하는 습식 식각 공정의 식각 종료막으로 산화 탄탈륨막을 도입할 수 있다. 이러한 산화 탄탈륨막은 상기한 습식 식각 공정에 사용되는 식각액이 산화 탄탈륨막 하부의 지지용 절연막 또는 하부 절연막 등을 녹여 내는 것을 방지할 수 있다. 이에 따라 형성되는 실린더 형상 또는 스택 형상 등과 같은 3차원 형상의 커패시터 전극이 쓰러지거나 함몰되는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상에 상기 반도체 기판에 전기적으로 연결되는 도전성 플러그를 에워싸는 하부 절연막을 형성하는 단계;

상기 하부 절연막 상에 지지용 절연막을 형성하는 단계;

상기 지지용 절연막 상에 산화 탄탈륨막을 포함하여 이루어지는 식각 종료막을 형성하는 단계;

상기 식각 종료막 상에 롤드용 희생 절연막을 형성하는 단계;

상기 롤드용 희생 절연막, 상기 식각 종료막 및 상기 지지용 절연막을 순차적으로 패터닝하여 상기 도전성 플러그를 노출하는 롤드를 형성하는 단계;

상기 롤드 상에 상기 롤드의 내측면을 덮어 상기 도전성 플러그에 전기적으로 연결되는 스토리지 전극막을 형성하는 단계;

상기 스토리지 전극막을 분리하여 스토리지 전극을 형성하는 단계; 및

분리된 상기 스토리지 전극에 의해서 노출되는 잔류하는 상기 롤드용 희생 절연막을 상기 식각 종료막을 식각 종료점으로 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 2. 제1항에 있어서, 상기 롤드를 형성하는 단계는

건식 식각 방법을 이용하여 수행되는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 3. 제2항에 있어서, 상기 식각 종료막을 형성하는 단계는

상기 산화 탄탈륨막의 상부 또는 하부에 상기 건식 식각의 식각 종료를 위한 별도의 보조 식각 종료막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 4. 제3항에 있어서, 상기 보조 식각 종료막을 형성하는 단계는

산화 알루미늄막 또는 질화 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 5. 제1항에 있어서, 상기 스토리지 전극막을 형성하는 단계는

질화 티타늄막, 질화 알루미늄 티타늄막, 질화 탄탈륨막, 질화 텁스텐막, 플레이늄막, 루테늄막, 이리듐막, 산화 루테늄막, 산화 스트론튬 루테늄막 및 도전성 폴리 실리콘막으로 이루어지는 일군의 도전막에서 선택되는 어느 하나의 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 6. 제1항에 있어서, 상기 스토리지 전극막을 형성하는 단계는

상기 롤드의 상기 도전성 플러그를 노출하는 오목한 부분을 메우는 단계를 포함하고,

상기 스토리지 전극을 분리하는 단계는

상기 스토리지 전극막의 전면을 평坦화하여 상기 스토리지 전극막 하부의 상기 롤드용 희생 절연막을 노출하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 7. 제6항에 있어서, 상기 평탄화는

상기 분리용 희생 절연막 상을 상기 롤드용 희생 절연막이 노출되도록 화학 기계적 연마 또는 에치 백하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 8. 제1항에 있어서, 상기 스토리지 전극막을 형성하는 단계는

상기 롤드의 상기 도전성 플러그를 노출하는 오목한 부분의 형상을 따르는 오목한 부분을 가지도록 상기 롤드의 내측면을 덮는 스토리지 전극막을 형성하는 단계를 포함하고,

상기 스토리지 전극을 분리하는 단계는

상기 스토리지 전극막 상에 상기 스토리지 전극막의 오목한 부분을 메우는 분리용 희생 절연막을 형성하는 단계; 및

상기 분리용 희생 절연막 및 상기 스토리지 전극막의 상기 롤드용 희생 절연막 상축을 덮는 부분을 순차적으로 평탄화하여 상기 스토리지 전극막 하부의 상기 롤드용 희생 절연막을 노출하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 9. 제1항에 있어서, 상기 스토리지 전극막을 형성하는 단계는

상기 블드의 상기 도전성 플러그를 노출하는 오목한 부분의 형상을 따르는 오목한 부분을 가지도록 상기 블드의 내측면을 덮는 스토리지 전극막을 형성하는 단계를 포함하고,

상기 스토리지 전극을 분리하는 단계는

상기 스토리지 전극막 상에 상기 스토리지 전극막의 오목한 부분을 메우는 유전막을 형성하는 단계; 및 상기 유전막 및 상기 스토리지 전극막의 상기 블드용 희생 절연막 상측을 덮는 부분을 순차적으로 평탄화 하여 상기 스토리지 전극막 하부의 상기 블드용 희생 절연막을 노출하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 10. 제1항에 있어서, 잔류하는 상기 블드용 희생 절연막을 제거하는 단계는

상기 산화 탄탈륨막에 의해서 식각 증료가 제어되는 습식 식각 방법을 사용하여 수행되는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 11. 반도체 기판 상에 상기 반도체 기판에 전기적으로 연결되는 도전성 플러그를 에워싸는 하부 절연막을 형성하는 단계;

상기 하부 절연막 상에 지지용 절연막을 형성하는 단계;

상기 지지용 절연막 상에 산화 탄탈륨막을 포함하여 이루어지는 식각 증료막을 형성하는 단계;

상기 식각 증료막 상에 블드용 희생 절연막을 형성하는 단계;

상기 블드용 희생 절연막, 상기 식각 증료막 및 상기 지지용 절연막을 순차적으로 선택적 패터닝하여 상기 도전성 플러그를 노출하는 블드를 형성하는 단계;

상기 블드 상에 상기 도전성 플러그에 전기적으로 연결되는 스토리지 전극막을 상기 블드의 내측면을 따라 형성하는 단계;

상기 스토리지 전극막 상에 상기 블드의 형상에 의해서 발생하는 오목한 부분을 메우는 분리용 희생 절연막을 형성하는 단계;

상기 블드용 희생 절연막이 노출되도록 상기 분리용 희생 절연막 및 상기 스토리지 전극막의 상기 블드용 희생 절연막 상측을 덮는 부분을 순차적으로 평탄화하여 실린더 형상의 스토리지 전극을 분리하는 단계; 및

분리된 상기 스토리지 전극에 의해서 노출되는 잔류하는 상기 블드용 희생 절연막 및 상기 분리용 희생 절연막을 상기 산화 탄탈륨막을 식각 증료점으로 선택적으로 식각하여 제거하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 12. 제11항에 있어서, 상기 블드를 형성하는 단계는

건식 식각 방법을 이용하여 수행되는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 13. 제12항에 있어서, 상기 식각 증료막을 형성하는 단계는

상기 산화 탄탈륨막의 상부 또는 하부에 상기 건식 식각의 식각 증료를 위한 별도의 보조 식각 증료막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 14. 제13항에 있어서, 상기 보조 식각 증료막을 형성하는 단계는

산화 알루미늄막 또는 질화 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 15. 제11항에 있어서, 상기 스토리지 전극막을 형성하는 단계는

질화 티타늄막, 질화 알루미늄 티타늄막, 질화 탄탈륨막, 질화 텁스텐막, 플레티늄막, 루테늄막, 미리듐막, 산화 루테늄막, 산화 스트론튬 루테늄막 및 도전성 폴리 실리콘막으로 이루어지는 일군의 도전막에서 선택되는 어느 하나의 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 16. 제11항에 있어서, 잔류하는 상기 블드용 희생 절연막 및 상기 분리용 희생 절연막을 제거하는 단계는

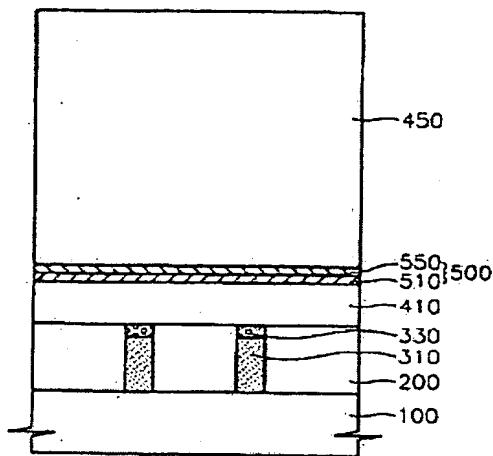
습식 식각 방법을 사용하여 수행되는 것을 특징으로 하는 커패시터의 전극 제조 방법.

청구항 17. 제11항에 있어서, 상기 평탄화는

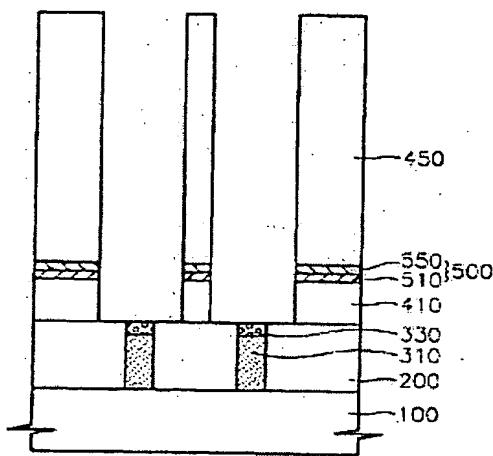
상기 분리용 희생 절연막 상을 상기 블드용 희생 절연막이 노출되도록 화학 기계적 연마 또는 에치 백하는 단계를 포함하는 것을 특징으로 하는 커패시터의 전극 제조 방법.

도면

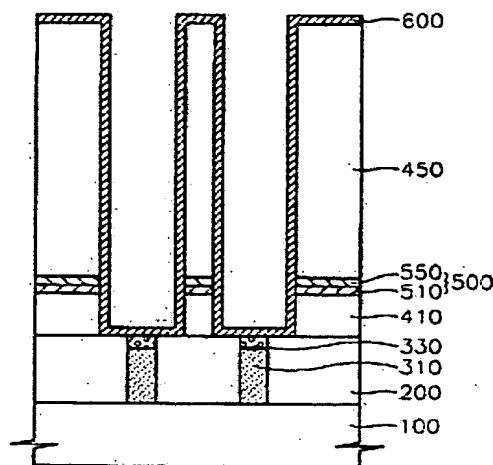
도면1



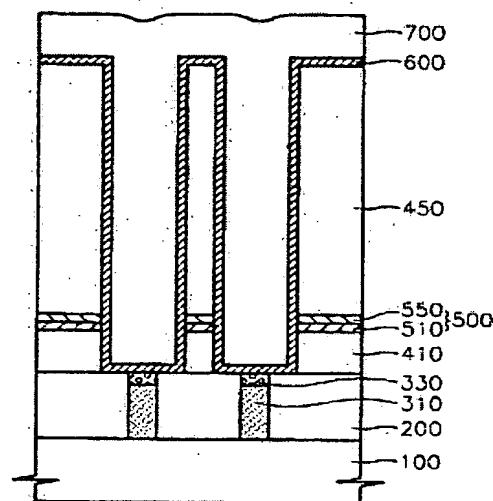
도면2

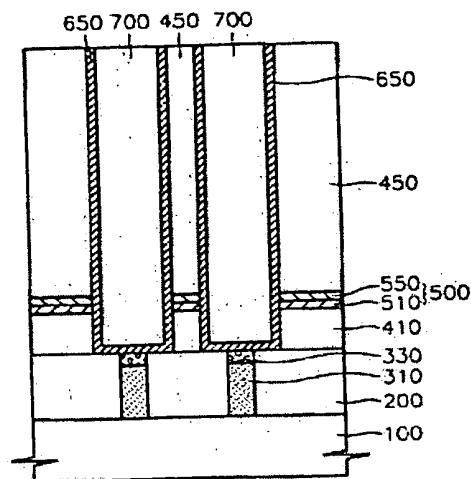
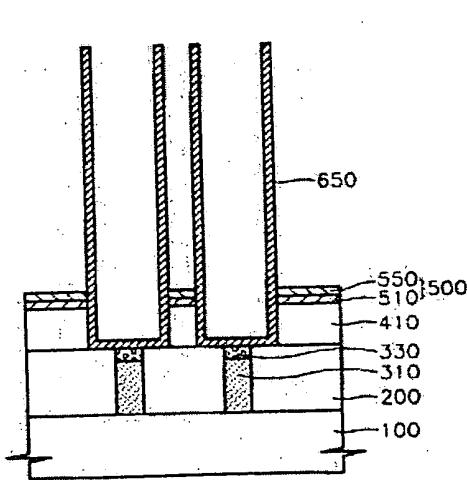
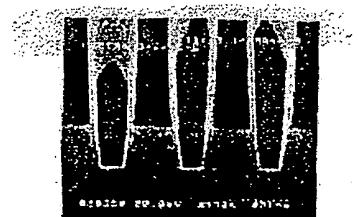


五B3



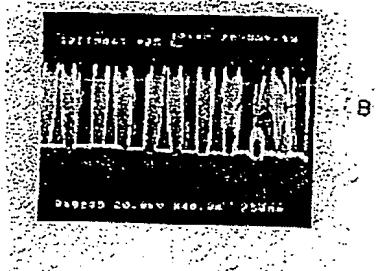
五B4



도면5도면6도면7

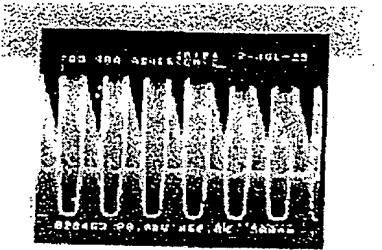
A

도면8

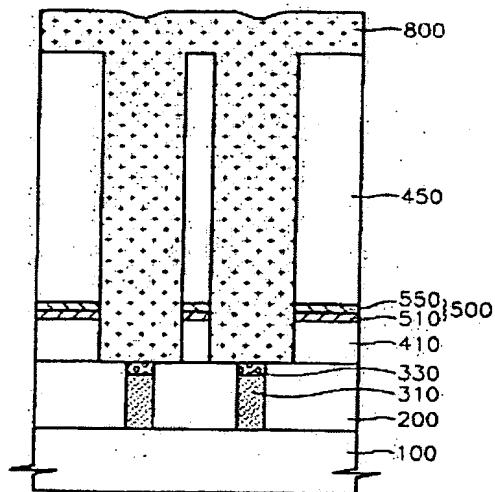


B

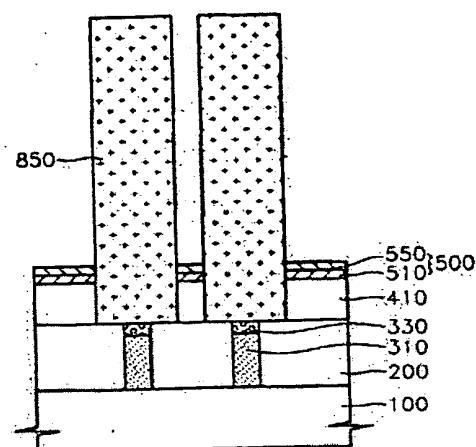
도면9



도면10



도면 11



도면 12

